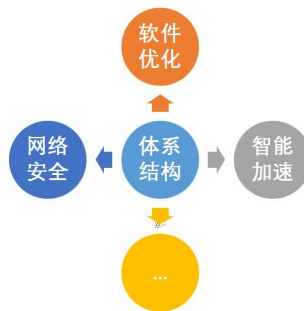
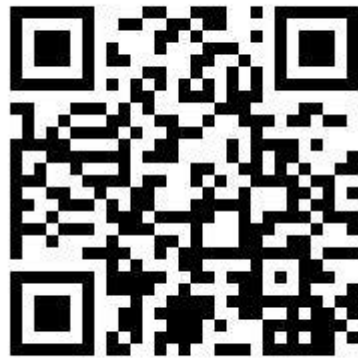


## 研究生精品课程简介

班级 生班 学号 210111016 姓名 高建北 成绩 89

题号	一	二	三	四	五	六	七	八	总分
成绩	10	8	09	22					89

\*\* 注意：所有题必须答在试卷上。

一、名词解释。

- (1) NVM: 非易失性存储
- (2) OoO: 乱序执行, 指 CPU 允许将多条指令不按程序开发顺序相对顺序处理。
- (3) IPC: CPU 每个时钟周期执行的指令数
- (4) MFLOPS: 每秒百万次浮点运算
- (5) CUDA: 统一计算设备架构, 使 CPU 和 GPU 并行计算架构。
- (6) SIMD: 单指令多数据
- (7) VLIW: 超长指令字
- (8) Cache Coherence: 缓存一致性, 当多个处理器或处理单元在缓存中存取同一数据时, 必须互斥, 增加互斥性。
- (9) Virtualization: 虚拟化, 消除不同系统接口知识。
- (10) Binary Translation: 二进制翻译, 将源程序翻译为二进制代码。

二、单项选择题

1. 下列与专用硬件加速器相关的说法错误的是 (D)
  - A) 与通用处理器相比, 专用硬件加速器设计能效更高
  - B) 专用硬件加速器设计周期比通用处理器更长
  - C) 硬件加速可以从芯片、库级、应用级三个层次考虑
  - D) 一般 FPGA 加速的效果比 GPU 更好
2. 下列不属于流式计算框架的是 (C)
  - A) Storm
  - B) Flink
  - C) MapReduce
  - D) Spark Streaming
3. 下列关于处理器模拟器的说法错误的是 (D)
  - A) 功能模拟级器实现对处理器指令的逐条模拟
  - B) 性能模拟级器实现对处理器指令的流水线级模拟
  - C) 性能模拟级器建模系统级处理器
  - D) 执行驱动模拟 (exec) 级器
4. 下列不属于引发流水钱旁的是 (A)
  - A) Structural Hazards
  - B) Data Hazards
  - C) Control Hazards
  - D) Data Forwarding
5. 下列不属于 USB 处理器的设计挑战的是 (A)
  - A) 硬件循环队列
  - B) 饱和运算 (Saturation)
  - C) 单周期 MAC 指令
  - D) Thumb 指令集

三、简答题。

1、假设变量 A 和 B 的初始值均为 0，那么下列代码在三个处理器上执行时，寄存器 R1 的值可能会是什么，并解释为什么。

P1	P2	P3
A=1	A=J	A=J
B=1	B=I	B=I
R1=A	R1=A	R1=A

答：① R1=1  
 P1 执行 A=1，R1=1  
 P2 执行 A=J，R1=1  
 P3 执行 A=J，R1=1  
 ② R1=0, P1, P2, P3 在 P1 之前执行，R1=0  
 P1 执行 A=1，R1=1  
 P2 执行 B=1，R1=1  
 P3 执行 B=I，R1=1  
 ③ R1=1, P1, P2, P3 在 P1 之前执行，R1=1  
 P1 执行 A=1，R1=1  
 P2 执行 A=J，R1=1  
 P3 执行 B=I，R1=1

2、如下表给出了多种存储介质的参数对比，请简要说明 PRAM（又称为 PCM）的工作原理，并从系统设计角度来看如何在新的计算架构中使用 PRAM？

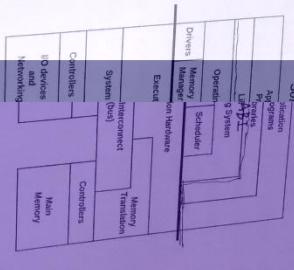
表 1 多种存储介质的参数对比

Medium	SRAM		DRAM		Flash/Non-Vol		FeRAM		MRAM		STT-RAM	
	No.	Yes	No.	Yes	No.	Yes	No.	Yes	No.	Yes	No.	Yes
Cell Size/ $\mu m^2$	1-100	6-10	10	10	30	30	15-20	15-20	15-20	15-20	15-20	15-20
Write/Erase Throughput	1-100	10	10	10	10	10	10	10	10	10	10	10
Endurance	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>	10 <sup>16</sup>
Power Power	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low	Low
Other Power	Current	Current	Current	Current	Current	Current	Current	Current	Current	Current	Current	Current
Leakage	Current	Current	Current	Current	Current	Current	Current	Current	Current	Current	Current	Current
High Voltage	No	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Biocompatibility	No	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes

PRAM 的工作原理：系用电路系统控制，通过电阻值，利用不同的电压来控制。从上述表中可以看出，与目前主流存储器相比，PRAM 具有高功率、低延迟、低功耗、高集成度、易集成等优点。PRAM 的写入速度非常快，但其读取速度较慢。PRAM 的写入寿命有限，从上述表中可以看出，PRAM 的写入寿命较短。PRAM 的写入速度非常快，但其读取速度较慢。PRAM 的写入寿命有限，从上述表中可以看出，PRAM 的写入寿命较短。

3、请简要说明 QEMU 虚拟机的原理，并说明 QEMU 虚拟机的主要实现技术。

QEMU 虚拟机原理：QEMU 是一个用户态的二进制翻译器，它通过动态二进制翻译（DBT）技术，将宿主机的 x86 指令翻译成目标架构的指令。QEMU 的主要实现技术包括：动态二进制翻译（DBT）、用户态的二进制翻译（DBT）、用户态的二进制翻译（DBT）、用户态的二进制翻译（DBT）。



QEMU 虚拟机的主要实现技术：QEMU 虚拟机的主要实现技术包括：动态二进制翻译（DBT）、用户态的二进制翻译（DBT）、用户态的二进制翻译（DBT）、用户态的二进制翻译（DBT）。





四、综合应用。

1、请列举自己研究领域的一个计算密集型问题并实现更合理一些，并解释为什么。并解释快速排序算法。

(24分)

快速排序的核心部分是分区。分区过程是递归的，不能总是并行，而且分区过程本身也是递归的。快速排序的时间复杂度是  $O(n \log n)$ 。快速排序的稳定性可以通过修改分区过程来实现。快速排序的分区过程是选择一个基准元素，然后将数组中的元素按照基准元素的大小进行分区。快速排序的分区过程是递归的，不能总是并行，而且分区过程本身也是递归的。快速排序的时间复杂度是  $O(n \log n)$ 。快速排序的稳定性可以通过修改分区过程来实现。

2、如下为一指令序列，请分析这些指令之间的 RAW, WAR 和 RAR 相关性，并以此为例说明如何通过寄存器重命名实现多条指令并行执行。

(1) add	r3, r2, r3
(2) sub	r2, r1, r3
(3) mult	r1, r3, r1
(4) add	r2, r3, r1
(5) add	r2, r1, r3

答: RAW (Write-After-Read): (2) → (4), (4) → (5)

WAR (Write-After-Write): (1) → (2), (1) → (3), (1) → (4), (1) → (5)

RAR (Read-After-Read): (1) → (2), (1) → (3), (1) → (4), (1) → (5)

寄存器重命名

- (1) add r<sub>0</sub>, r<sub>2</sub>, r<sub>3</sub>
- (2) sub r<sub>2</sub>, r<sub>1</sub>, r<sub>4</sub>
- (3) mult r<sub>6</sub>, r<sub>4</sub>, r<sub>1</sub>
- (4) add r<sub>7</sub>, r<sub>4</sub>, r<sub>6</sub>
- (5) add r<sub>8</sub>, r<sub>6</sub>, r<sub>4</sub>

r1	r2	r3	r4	r6	r7	r8
(1)	(1)	(1)	(1)	(1)	(1)	(1)
(2)	(2)	(2)	(2)	(2)	(2)	(2)
(3)	(3)	(3)	(3)	(3)	(3)	(3)
(4)	(4)	(4)	(4)	(4)	(4)	(4)
(5)	(5)	(5)	(5)	(5)	(5)	(5)

寄存器重命名

